

JAPANESE PATENT OFFICE

Patent OFFICIAL GAZETTE

(Published for the purpose of Opposition)

Publication No: 51-39835

Publication Date: October 29, 1976

No. of the Inventions Claimed: 1

Title: METHOD FOR MANUFACTURING AN INSULATING
GATE SEMICONDUCTOR DEVICE

Appln. No: 47-2079

Appln. Date: December 27, 1971

Laid-open Pub. No: 48-71889

Laid-open Pub. Date: September 28, 1973

XXXXXXXXXXXXXXXXXXXX

Inventor: Masanori KIKUCHI

Applicant: NEC

Note:

AN

Explanation of Reference Numerals in
Pat. Post-exam Pub. No. 51-39835

- 1: N type monocrystalline silicon substrate
- 2: silicon dioxide insulating film
- 3: substrate surface
- 4: silicon dioxide gate insulating film
- 4': gate insulating film
- 5: polycrystalline silicon film
- 5': polycrystalline silicon gate electrode
- 7,8: substrate surfaces
- 9: dioxide silicon insulating film
- 10: source region
- 11: drain region
- 12, 13, 14: openings
- 15, 16, 17: lead-out electrodes
- 18, 19: side surfaces (ends), (silicon dioxide insulating
film)
- 20: projection, gate insulating film
- 21: cross section periphery
- 22, 23: side surfaces
- 24: cross section periphery

④ Int. Cl.²

H 01 L 29/78
H 01 L 29/62
H 01 L 21/302
H 01 L 21/31

⑤ 日本分類

99(5)E 3
99(5)C 3
99(5)C 23

⑥ 日本国特許庁

特 許 公 報

⑦ 特許出願公告

昭51-39835

⑧ 公告 昭和51年(1976)10月29日

庁内整理番号 6426-57

発明の図 1

(全 5 頁)

1

⑨ 絶縁ゲート半導体装置の製造法

① 特 願 昭47-2079

② 出 願 昭46(1971)12月27日

公 開 昭48-71889

③ 昭48(1973)9月28日

④ 発 明 者 菊地正典

東京都港区芝5の33の1日本電
気株式会社内

⑤ 出 願 人 日本電気株式会社

東京都港区芝5の33の1

⑥ 代 理 人 弁理士 内原晋

⑦ 特許請求の範囲

1 一導電型の半導体基板の一主表面の所定部に
溝いゲート絶縁膜を設け、この上に所定形状の半
導体層を設け、この半導体層をマスクにして前記
絶縁膜をエッチングし、前記半導体層下の過剰に
エッチングされた絶縁膜を補填することを特徴と
する絶縁ゲート半導体装置の製造法。

発明の詳細な説明

この発明は絶縁ゲート半導体装置の製造法の改
良に關し、特にシリコンゲート電界効果型半導体
装置の製造法の改良に關する。

従来この種のシリコンゲート電界効果型半導体
装置では、所定の導電型を持つ単結晶シリコン基
板の一主平面上に絶縁膜を形成した後、基板のの
ちにソース領域、ドレイン領域、ゲート領域、拡
散配線領域となる部分上の絶縁膜を除去してから
ゲート絶縁膜を形成し、しかる後全面に多結晶シ
リコン層を形成する。次に露出の写真法刻法等に
より多結晶シリコンのゲート電極、配線路を形成
してからこの多結晶シリコンをマスクにして絶縁
膜をエッチングし、ソース領域、ドレイン領域、
拡散配線領域となる部分の基板表面を露出させ、
ここから適当な不純物を拡散して、ソース領域、
ドレイン領域、拡散配線領域を形成することによ

り、ソースゲート間、ドレインゲート間の位置
を自動的に整合させていた。

しかしながら従来の製造法では、多結晶シリコ
ンをマスクにして絶縁膜をエッチングする際、絶
縁膜の横方向へのサイドエッチが起るので、ゲー
ト絶縁膜の厚さとはほぼ同じ分だけ多結晶シリコ
ンのゲート電極より内側にオーバーエッチされてし
まう。この為、多結晶シリコンゲート電極の側面
はゲート絶縁膜の側面とは一致せず、ゲート絶縁
10 膜の厚さとはほぼ同じ分だけ外側に食み出してい
るので、この部分がソース領域とショートしたり、
或るいはこの上に絶縁膜や金属配線路を形成する
際、この部分で断線したり弱くなつたりする為、
装置製造の歩留りや信頼性を著しく低下させて
いた。

しかるに本発明の絶縁ゲート半導体装置の製造
法は、多結晶シリコンゲート電極をマスクにして
絶縁膜をエッチングした後、熱酸化法により単結
晶シリコン基板の一部露出した表面上及び多結晶
20 シリコンゲート電極表面に二酸化シリコン絶縁膜
を形成してからこれをエッチングで除去するもの
である。

したがって本発明によれば多結晶シリコンゲー
ト電極の側面とゲート絶縁膜の側面はほぼ一致し
かつ多結晶シリコンゲート電極の断面周辺は角が
取れ丸みを帯びた構造となる為、上述の従来装置
の種々の不都合が取り除かれ、半導体装置の製造
の歩留りや信頼性は飛躍的に向上する。

以下のこの発明につき実施例を挙げ図面を参照
しながら詳しく説明しよう。

実施例 1

第1A図から第1J図は、本発明を適用したP
チャンネルシリコンゲート電界効果型トランジス
タの製造工程を示す連続断面模型図である。第
1A図で、比抵抗が約5Ω-cmのN型単結晶シリ
コン基板1の一主平面上に約1ミクロンの厚さを
有する二酸化シリコン絶縁膜2を基板1の熱酸化

2

3

法により形成する。次いで、標準の写真蝕刻法によるマスクとエッチング技術を用いてソース領域、ドレイン領域、ゲート領域となる部分の基板表面3を露出させた(第1B図)。次に基板1の熱酸化法により約 1000\AA の厚さの二酸化シリコン5を形成した後全面に厚さ約 4000\AA の多結晶シリコン膜5を成長させた(第1C図)。次に第1D図で標準の写真蝕刻法により多結晶シリコンゲート電極5'を残し他の多結晶シリコン膜5を除去した。次に第1E図で多結晶シリコンゲート電極5'をマスクにして二酸化シリコンゲート絶縁膜4をエッチングすることによりソース領域、ドレイン領域となる部分の基板表面7, 8を露出させた。この時多結晶シリコンゲート電極5'の直下のゲート絶縁膜4の側面は、多結晶シリコンゲート電極5'の側面より約 1000\AA 内側にオーバーエッチされた。又この時サイドエッチの進行する状況を第2A図に矢印(→)により示した。次に第1F図で、基板1の一部露出した表面上及び多結晶シリコンゲート電極5'の表面上に熱酸化法によりゲート絶縁膜4と同程度の厚さを有する二酸化シリコン膜9をエッチングで除去することにより再び基板表面7, 8を露出させた。この時多結晶シリコンゲート電極5'と新たに作られたゲート絶縁膜20との側面はほぼ一致し、かつ多結晶シリコンゲート電極5'の断面は前記の再酸化により角部がより多く酸化される結果第1E図の状態に比べて角が取れ丸みを帯びた構造となつた。次に第1H図で露出した基板表面7, 8からボロンを拡散して島状の拡散領域(ソース領域10、ドレイン領域11)を形成した。次に第1I図で全面に気相成長法で約 5000\AA の厚さの二酸化シリコン膜18を形成した後、標準の写真蝕刻法によるマスクとエッチング技術を用いて、ソース、ドレイン、ゲート上の11中にそれぞれ開孔12, 13, 14を穿つた。次に第1J図で、全面にアルミニウムを約 1.5μ の厚さに蒸着し、標準の写真蝕刻法によつてソース、ドレイン、ゲートの各取り出し電極15, 16, 17を形成した。

この様にして作製したシリコンゲート電界効果型トランジスタは、第1F、第1G図の工程を含まない従来の製造法により作製したものに比べて製造歩留りは10倍以上向上し、又信頼性も大巾に

4

改善された。

第2A図から第2C図は第1E図から第1G図の部分拡大断面模型図で、第2A図は多結晶シリコンゲート電極5'をマスクにして絶縁膜をエッチングした際、多結晶シリコンゲート電極5'の側面18とゲート絶縁膜4'の側面19は一致せずゲート絶縁膜4'の厚さとはほぼ同一の長さだけ多結晶シリコンゲート電極5'の端部18がゲート絶縁膜4'の端部19から突起し、突起部20が発生した。第2C図は第2B図の状態では絶縁膜9をエッチングで除去した後の状態で多結晶シリコンゲート電極5'の側面22はゲート絶縁膜の側面23とはほぼ一致し、かつ多結晶シリコンゲート電極5'の断面周辺24は第2A図の断面周辺21に比べ角が取れ丸みを帯びた形状を呈した。

実施例 2

実施例1では多結晶シリコン電極5'をマスクにしてゲート絶縁膜4をエッチングした(第1E図)後、多結晶シリコン電極5'及び基板1の一部露出した表面7, 8上にゲート絶縁膜4と同程度の厚さを有する二酸化シリコン膜9を熱酸化法により形成した。(第1F図)

しかしながら実施例1と殆んど同一の効果を得る他の方法として、第1D図の状態ではゲート絶縁膜4が存在している部分には殆んど二酸化シリコン膜を成長させず、主に露出した多結晶シリコンゲート電極5'の表面にのみ二酸化シリコン膜を熱酸化法によりゲート絶縁膜4と同程度の厚さに形成することにより、第1E図の状態を僅かに第1F図とはほぼ同一の状態を実現出来た。多結晶シリコンゲート電極5'上にゲート絶縁膜4と同程度の厚さに二酸化シリコン膜を形成するにはゲート絶縁膜4(第1D図)の厚さで二酸化シリコン膜の成長がほぼ飽和する $800^{\circ}\text{C}\sim 900^{\circ}\text{C}$ の比較的低温での酸化を行なうことが必要であつた。

上述の実施例は単に例示の爲のものであつて本発明がこれに限定されるものでないことは明らかである。例えば、上の実施例ではシリコンゲート電界効果型トランジスタの場合につき説明したが、一般に絶縁ゲート半導体装置ならどんなものにも適用可能である。例えば単結晶シリコンの代りに多結晶シリコン、ゲルマニウム、ガリウム砒素等の半導体材料を用いることが出来るし、又その比

5

抵抗を変えることも出来る。あるいは各部の導電型の選定も自由である。さらに各部の寸法を変えることも出来る。或るいは又、絶縁膜として酸化、気相成長、蒸着、スパッタリング等により形成した二酸化シリコン、一酸化シリコン、シリコン窒化膜、アルミナ、リンガラス等を用いることができるし、又ゲート電極として多結晶シリコンの代りに、ゲルマニウム、ガリウム砒素等の半導体材料を用いることも出来る。さらに金属、配線路としてはアルミニウム、モリブデン、クロム等を蒸着、スパッタリング等により形成したものをを用いることも可能である。要するにこの明細書及び付属の請求範囲に示されたこの発明の精神と範囲を逸脱すること無く種々の改変をなすことが出来る。

6

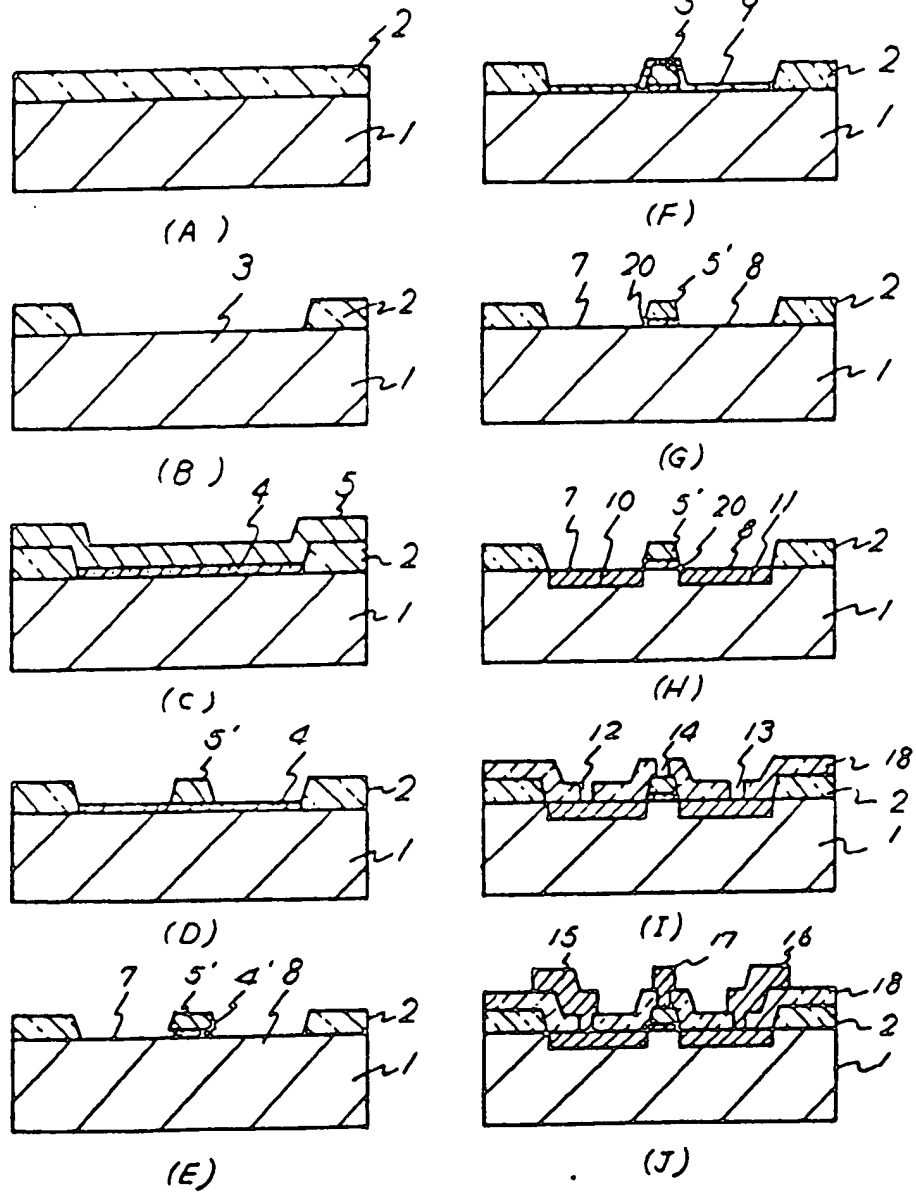
図面の簡単な説明

第1A図から第1J図は本発明を適用したシリコンゲート電界効果型トランジスタの製造工程を示す連続断面模型図、第2A図から第2C図は、第1E図から第1G図の部分的拡大断面図模型図である。

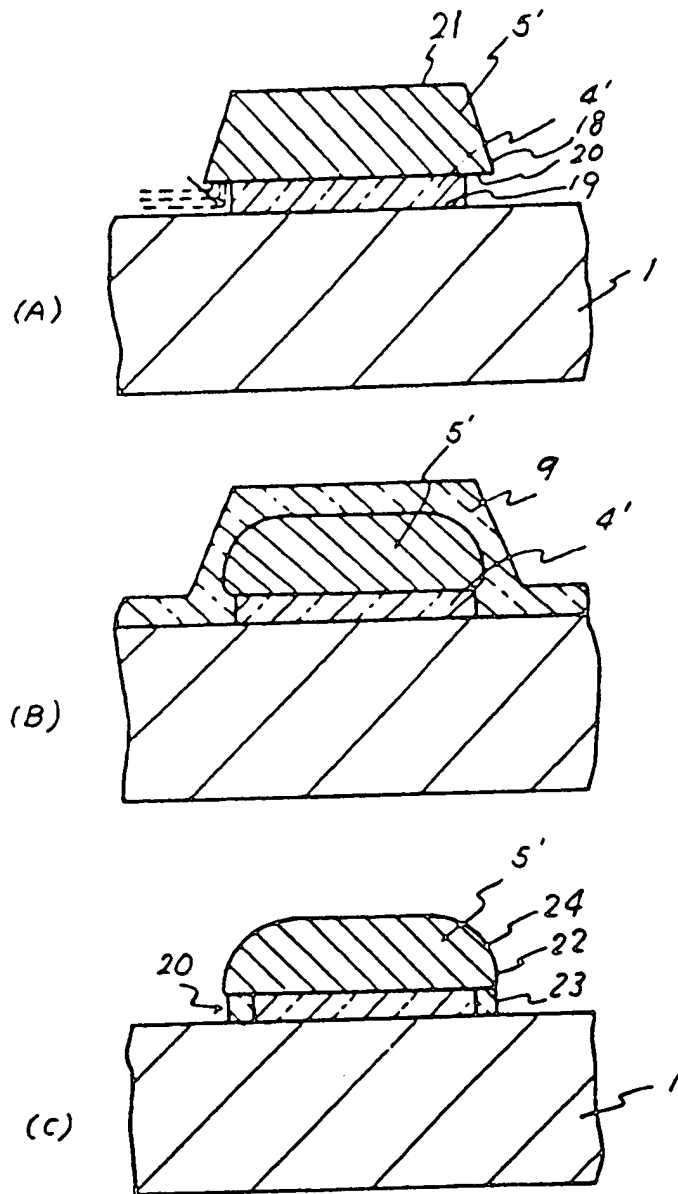
1……シリコン基板、2, 4, 9, 18……二酸化シリコン絶縁膜、4, 20……ゲート絶縁膜、5……多結晶シリコンゲート電極、15, 16, 17……取り出し電極。

引用文献

IBM Technical Disclosure Bulletin
15 Vol. 14 No. 4 Sept. 1971 P. 1052~1053



第 1 图



第 2 図

昭和47年特許願第7689号(特公昭51-23436号、昭51.7.16発行の特許公報6(1)-78(529)号掲載)については特許法第64条の規定による補正があつたので下記のとおり掲載する。

一特許第896997号

99(5)J4
99(5)B12

記

1 「特許請求の範囲」の項を「1 n型GaPのボディーとZn₃P₂の亜鉛源とを拡散チャンバー内に封入し、前記GaPのボディーの少なくとも一部分の内部にP-n接合が出来るように選ばれた時間の間封止したチャンバーを600℃から1200℃の拡散温度に維持する工程よりなる電界発光半導体装置の製造方法において、

前記拡散チャンバー内に封入されたZn₃P₂の量は拡散時間の少なくとも主要部分の間に拡散温度にてZn₃P₂が完全に蒸気化ししかも蒸気圧が飽和蒸気圧の最高90パーセントに達するように選ばれることを特徴とする電界発光半導体装置の製造方法。

2 n型GaPのボディーとZn₃P₂の亜鉛源とを拡散チャンバー内に封入し、前記GaPのボディーの少なくとも一部分の内部にP-n接合が出来るように選ばれた時間の間封止したチャンバーを600℃から1200℃の拡散温度に維持する工程よりなり、前記拡散チャンバー内に封入されたZn₃P₂の量は拡散時間の少なくとも主要部分の間に拡散温度にてZn₃P₂が完全に蒸気化ししかも蒸気圧が飽和蒸気圧の最高90パーセントに達するように選ばれる電界発光半導体装置の製造方法において、

赤色光の出力を増すために400℃以上のある温度において少なくとも2時間にわたりZnを實質的に含む雰囲気中において前記GaPのボディーをさらに熱処理することを特徴とする電界発光半導体装置の製造方法。」と補正する。

昭和47年特許願第2079号(特公昭51-39835号、昭51.10.29発行の特許公報6(1)-136(587)号掲載)については特許法第64条の規定による補正があつたので下記のとおり掲載する。

一特許第897221号

99(5)E3
99(5)C3
99(5)C23

記

1 「特許請求の範囲」の項を「1 一導電型の半導体基板の一主表面の所定部に薄いゲート絶縁膜を設け、この上に所定形状の半導体層を設け、この半導体層をマスクにして前記絶縁膜をエッチングし、前記半導体層下の過剰にエッチングされた絶縁膜を補填し、しかる後に前記一主表面にソース領域もしくはドレイン領域を形成することを特徴とする絶縁ゲート半導体装置の製造法。」と補正する。

2 第3欄22行「二酸化シリコン膜9を」の次に「形成し、これを」を挿入する。

3 同欄38行「1.5」の次に「ミクロン」を挿入する。

Japanese Kokoku Patent No. Sho 51[1976]-39835

Translated from Japanese by the Ralph McElroy Co., Custom Division
P. O. Box 4828, Austin, Texas 78765 USA

Code: 179-13754

JAPANESE PATENT OFFICE

PATENT JOURNAL

KOKOKU PATENT NO. SHO 51[1976]-39835

Int. Cl.²:H 01 L 29/78
H 01 L 29/62
H 01 L 21/302
H 01 L 21/31

Japanese Cl.:

99(5)E 3
99(5)C 3
99(5)C 23

Sequence Nos. for Office Use:

6426-57

Application No.:

Sho 47[1972]-2079

Application Date:

December 27, 1971

Kokai No.:

Sho 48[1973]-71889

Kokai Date:

September 28, 1973

Publication Date:

October 29, 1976

No. of Inventions:

1 (Total of 5 pages)

MANUFACTURING METHOD OF INSULATED-GATE SEMICONDUCTOR DEVICE

Inventor:

Masonori Kikuchi
NEC Corp.
5-33-1 Shiba, Minato-ku,
Tokyo

Applicant:

NEC Corp.
5-33-1 Shiba, Minato-ku,
Tokyo

References cited:

IBM Technical Disclosure
Bulletin, 15, Vol. 14,
No. 4, Sept. 1971, pp.
1052-1053

Agent:

Susumi Uchihara, patent
attorney

[Attached amendments have been incorporated into text of
translation.]

Claim

A manufacturing method of insulated-gate semiconductor device characterized by the following facts: a thin gate insulating film is set in the prescribed portion of a principal surface of a semiconductor substrate with a certain electroconductive type; a semiconductor layer with a prescribed shape is set on the thin gate insulating film; with this semiconductor layer used as a mask, the aforementioned insulating film is etched; the insulating film excessively etched beneath the aforementioned semiconductor layer is filled; then, the source region and drain region are formed on the aforementioned principal surface.

Detailed explanation of the invention

This invention concerns an improvement of the manufacturing method of insulated-gate semiconductor device. More

specifically, this invention concerns an improvement of the manufacturing method of silicon gate field-effect semiconductor device.

In the conventional manufacturing method of this type of silicon gate field-effect semiconductor device, after an insulating film is formed on a principal surface of a single-crystal silicon substrate with a prescribed electroconductive type, the insulating film is removed for the regions on the substrate corresponding to the source region, drain region, gate region, and diffusion wiring region, followed by formation of a gate insulating film, and then formation of a polysilicon layer on the entire surface. Then, the conventional photolithographic method or other method is used to form the gate electrode and wiring circuit of the polysilicon. With the polysilicon used as a mask, the insulating film is etched to expose the surface of the substrate for the source region, drain region, and diffusion wiring region. Then, an appropriate impurity is diffused to form source region, drain region, and diffusion wiring region. In this way, the positions are automatically aligned between source and gate, and between drain and gate.

However, in the conventional manufacturing method, when the insulating film is etched with polysilicon used as a mask, side etching takes place in the transverse direction of the insulating film; hence, overetching takes place into the inner side from the polysilicon gate electrode and with almost the same thickness as that of the gate insulating film. Consequently, the side surface of the polysilicon electrode becomes misaligned with the side surface of the gate insulating film, and the outer side is etched

with a dimension almost identical to the thickness of the gate insulating film. Consequently, a short circuit may take place between this portion and the source region, or, when an insulating film and a metal wiring circuit are to be formed on it, wire breakage may take place in this portion as it is very thin. Consequently, the yield and reliability of the manufacturing operation of the device are significantly decreased.

In the manufacturing method of the insulated-gate semiconductor device of this invention, after the insulating film is etched with the polysilicon used as a mask, thermal oxidation method is used to form a silicon dioxide insulating film on the partially exposed portion of the surface of the single-crystal silicon substrate and on the surface of the polysilicon electrode, followed by its removal with etching.

Consequently, according to this invention, the side surface of the polysilicon electrode and the side surface of the gate insulating film are almost in agreement with each other, and the cross-sectional edges of the polysilicon gate electrode are rounded to have a certain radius. Consequently, the problems related to the aforementioned conventional device can all be eliminated, and the yield and reliability of the manufacturing process of the semiconductor device can be improved significantly.

In the following, this invention will be explained in more detail with reference to application examples illustrated by figures.

Application Example 1

Figures 1A-1J are consecutive cross-sectional views illustrating schematically the manufacturing process of the P-channel silicon field-effect transistor polarized [sic, used] in this invention. As shown in Figure 1A, on a principal surface of N-type single-crystal silicon substrate with a resistivity of about $5 \Omega\text{-cm}$, a silicon dioxide insulating film (2) with a thickness of about $1 \mu\text{m}$ is formed by thermal oxidation of substrate (1). Then, the conventional photolithographic method is used with the aid of a mask and etching to expose the portions of substrate surface (3) to be used for forming the source region, drain region, and gate region (Figure 1B). Then, after formation of a silicon dioxide gate insulating film (4) with a thickness of about 1000 \AA by thermal oxidation of substrate (1), a polysilicon film (5) with a thickness of about 4000 \AA is grown on the entire surface (Figure 1C). Then, as shown in Figure 1D, the conventional photolithographic method is used to remove the other portion of polysilicon film (5) except polysilicon electrode (5'). Then, as shown in Figure 1E, with polysilicon electrode (5') used as a mask, silicon dioxide insulating film (4) is etched to expose the portions of substrate surface (7), (8) to be used for forming the source region and drain region. In this case, the side surface of gate insulating film (4') immediately beneath polysilicon gate electrode (5') is overetched to the inner side by about 1000 \AA from the side surface of polysilicon electrode (5'). The state of the side etching in this case is represented by an arrow (->) in Figure 2A. Then, as shown in Figure 1F, on the partially exposed surface of substrate

(1) and the surface of polysilicon gate electrode (5'), a silicon dioxide film (9) with a thickness similar to that of gate insulating film (4') is formed using the thermal oxidation method; as it is removed by etching, substrate surface portions (7), (8) are exposed again. At this time, the side surface of polysilicon electrode (5') and the side surface of the newly formed gate insulating film (20) are almost in agreement with each other. In addition, as a result of the aforementioned reoxidation, the edge portions of the cross section of polysilicon electrode (5') are more oxidized, so that they are more rounded as compared with the state shown in Figure 1E. Then, as shown in Figure 1H, on the exposed substrate surface portions (7), (8), islands of diffusion regions (source region (10), drain region (11)) are formed by diffusion of boron. Then, as shown in Figure 1I, using the CVD method, a silicon dioxide film (18) with a thickness of about 5000 Å is formed on the entire surface. Then, the conventional photolithographic method is used with the aid of a mask and etching to form holes (12), (13), (14) on source, drain and gate [regions] (11) [sic]. Then, as shown in Figure 1J, an aluminum film with a thickness of about 1.5 μm is evaporated on the entire surface, followed by formation of lead-out electrodes (15), (16), (17) for the source, drain and gate, respectively.

For the silicon gate field-effect transistors formed in this way, the manufacturing yield is higher than that of the conventional manufacturing method which does not have the process of Figures 1F and 1G by a factor of 10 or larger, and the reliability is also significantly increased.

Figures 2A-2C are partially enlarged cross-sectional views corresponding to Figures 1E-1G. As shown in Figure 2A, when the

insulating film is etched with polysilicon gate electrode (5') used as a mask, (18) which is the side surface of polysilicon gate electrode (5') is not in agreement with side surface (19) of gate insulating film (4'); instead, end portion (18) of polysilicon gate electrode (5') protrudes from end portion (19) of gate insulating film (4') by a length almost equal to the thickness of gate insulating film (4'), forming a protrusion portion (20). Figure 2C shows the state of Figure 2B, in which after insulating film (9) is removed by etching, side surface (22) of polysilicon gate electrode (5') becomes almost in conformance with side surface (23) of the gate insulating film, and cross-sectional edges (24) of polysilicon gate electrode (5') are more rounded as compared with cross-sectional edges (21) in Figure 2A.

Application Example 2

In Application Example 1, after gate insulating film (4) is etched with polysilicon electrode (5') used as a mask (Figure 1E), a silicon dioxide film (9) with a thickness similar to that of gate insulating film (4) is formed using thermal oxidation method on polysilicon electrode (5') and partially exposed surface portions (7), (8) of substrate (1) (Figure 1F).

As a different method to realize the same effect as in Application Example 1, in the state shown in Figure 1D, almost no silicon dioxide is grown on the portion where there is already gate insulating film (4), while the silicon dioxide film is formed with a thickness similar to that of gate insulating film (4) using the thermal oxidation method only on the exposed surface of polysilicon gate electrode (5'). In this way, without

going through the stage shown in Figure 1E, a state almost identical to that shown in Figure 1F is realized. In order to form the silicon dioxide film with a thickness similar to that of gate insulating film (4) on polysilicon gate electrode (5'), it is necessary to carry out the oxidation at a relatively low temperature of 800-900°C, at which the growth of silicon dioxide film with a thickness of gate insulating film (4) (Figure 1D) is almost saturated.

Of course, this invention is not limited to the aforementioned application examples, which were presented only as examples. For example, in the aforementioned application examples, a silicon gate field-effect transistor was presented. However, this invention may also be used for any type of insulated-gate semiconductor device. For example, instead of single-crystal silicon, other semiconductor materials, such as polysilicon, germanium, gallium arsenide, etc., may also be used. In addition, it is also possible to change the resistivity of the material used. Also, it is possible to select the electroconductive type for the various portions. Besides, it is possible to change the dimensions of the various portions. The insulating film may be formed from silicon dioxide, silicon monoxide, silicon nitride film, alumina, phosphorus glass, etc., using various methods, such as thermal oxidation, CVD, evaporation, sputtering, etc. In addition, as the gate electrode, the polysilicon may be replaced by germanium, gallium arsenide, and other semiconductor materials. In addition, the metal and wiring circuit [sic; the metal wiring circuit] may be formed from aluminum, molybdenum, chromium, etc. using

evaporation, sputtering, etc. Generally speaking, any variation is allowed as long as the main points of this invention are observed.

Brief explanation of figures

Figures 1A-1J are consecutive cross-sectional views illustrating the manufacturing process of the silicon gate field-effect transistor according to this invention. Figures 2A-2C are partially enlarged cross-sectional views corresponding to Figures 1E-1G.

1, silicon substrate
2,4,9,18, silicon dioxide insulating film
4',20, gate insulating film
5', polysilicon gate electrode
15,16,17, lead-out electrode

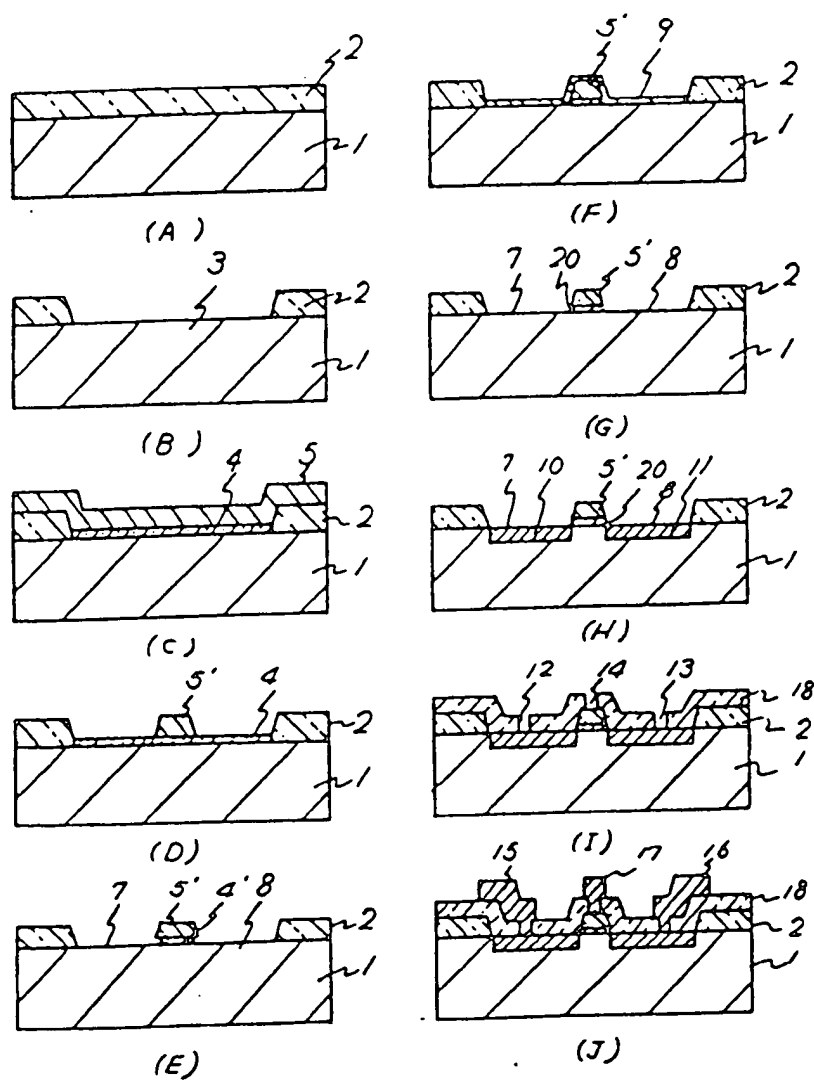


Figure 1

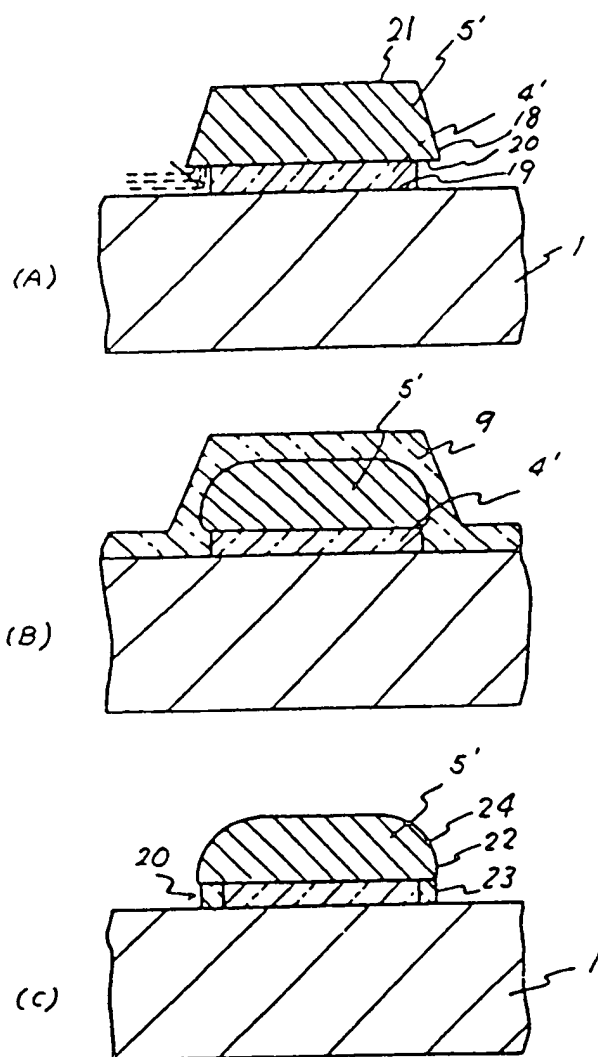


Figure 2